



(19)

(11) Publication number: 08018354 A

Generated Document.

PATENT ABSTRACTS OF JAPAN

(21) Application number: 06152405

(51) Intl. Cl.: H03F 3/45

(22) Application date: 04.07.94

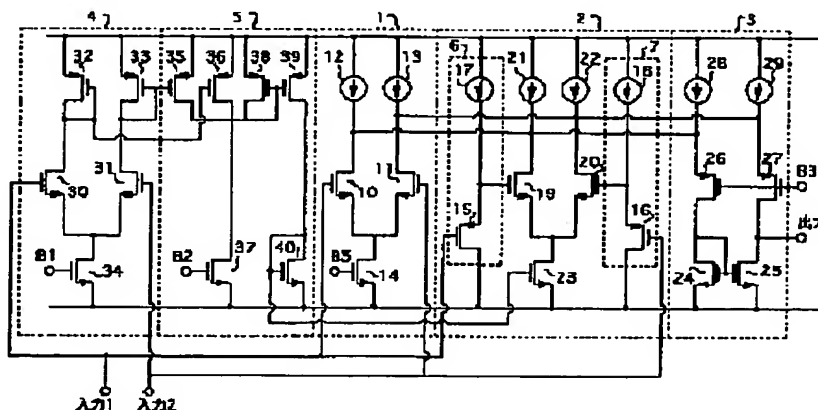
(30) Priority: (43) Date of application publication: 19.01.96 (84) Designated contracting states:	(71) Applicant: ASAHI KASEI MICRO SYST KK (72) Inventor: ADACHI TOSHIO (74) Representative:
---	---

(54) OPERATIONAL AMPLIFIER

(57) Abstract:

PURPOSE: To provide the operational amplifier which has a performance superior in linearity and has a wide in-phase input signal range.

CONSTITUTION: The operational amplifier has first an second differential amplification parts 1 and 2 which are operated by a power source VDD on the positive side or a power source VSS on the negative side. The current value of the first differential amplification part 1 is measured by a current measuring circuit 4 having the same constitution as the first differential amplification part 1, and the output of this circuit 4 is subtracted from a preliminarily determined current value by a current subtraction circuit 5. The output current value of the current subtraction circuit 5 and the current value of the current source of the second differential amplification part 2 are equalized, thereby operating only one of two differential amplification parts 1 and 2.



COPYRIGHT: (C)1996,JPO

BEST AVAILABLE COPY

1

【特許請求の範囲】

【請求項1】 MOSFETを用いた演算増幅器において、

少なくとも入力信号を増幅する入力MOSFET対と電流源を有する第1差動増幅回路と、

少なくとも入力信号を増幅する入力MOSFET対と電流源を有する第2差動増幅回路と、

前記第1差動増幅回路と第2差動増幅回路の出力を合成する信号合成回路と、

ロードMOSFETのゲートとドレイン間をそれぞれ接続したことを除いて前記第1差動増幅回路と同じに構成され、前記第1差動増幅回路の入力MOSFET対の電流値を測定する電流測定回路と、

予め定められた電流値から前記電流測定回路の出力を差し引く引算回路とを備え、

前記引算回路の出力電流値と前記第2差動増幅回路の電流源の電流値とが比例していることを特徴とする演算増幅器。

【請求項2】 前記第1差動増幅回路を構成するMOSFETと第2差動増幅回路を構成するMOSFETとが同じ極性とされ、第2差動増幅回路の入力MOSFET対のゲートにレベルシフタ回路を介して入力信号が入力されることを特徴とする請求項1記載の演算増幅器。

【請求項3】 前記第1差動増幅回路を構成するMOSFETと第2差動増幅回路を構成するMOSFETとが同じ極性とされ、前記第2差動増幅回路の入力MOSFET対がデプリーション型とされることを特徴とする請求項1記載の演算増幅器。

【請求項4】 前記第1差動増幅回路を構成するMOSFETと第2差動増幅回路を構成するMOSFETとが異なる極性とされたことを特徴とする請求項1記載の演算増幅器。

【発明の詳細な説明】

【0001】

【産業上の利用分野】本発明は、同相信号レベルが正側の電源電圧から負側の電源電圧にわたり動作可能な演算増幅器に関する。

【0002】

【従来の技術】演算増幅器はアナログ回路において広く用いられており、演算増幅器の性能がアナログ回路の性能を支配するといっているほど、演算増幅器の性能は重要である。近年、電子機器の小型化が進行しており、同時に、電池使用を前提にした低電圧動作をアナログ回路にも要求されるようになってきた。アナログ回路を低電圧で動作させると処理可能な信号レベルも低下せざるを得なくなり、S/N特性が損なわれるという問題が発生する。従って、演算増幅器に対してできるだけ信号処理電圧範囲を広く保つためにも、同相入力信号レベルは広ければ広い程好ましく、同相入力信号範囲が、正側、負側それぞれの電源まで動作可能であれば最も好ましいと

2

いえる。しかしながら、従来の増幅器においては、このような演算増幅器は設計が困難であり、好ましい増幅器が提供できなかった。

【0003】図4に従来用いてきた同相入力信号範囲の大きな演算増幅器の例を示す。ここで、131はNMOSFETを入力トランジスタとした第1差動増幅部、132はPMOSFETを入力トランジスタとした第2差動増幅部、133は第1差動増幅部131と第2差動増幅部132の信号を合成して和をとる信号合成回路である。図4に示した従来の回路によると、同相入力信号が V_{DD} 付近のときには、NMOSFETを入力MOSFETとする第1差動増幅部131が動作する。また同相入力信号が V_{SS} 付近のときには、PMOSFETを入力MOSFETとする第2差動増幅部132が動作して、さらに V_{SS} および V_{DD} の中間付近では、第1差動増幅部131および第2差動増幅部132が動作する。したがって、図4に示した従来の演算増幅器は、全ての同相信号にわたり動作が可能となっている。

【0004】

【発明が解決しようとする課題】この演算増幅器のためには、第1および第2差動増幅部131および132の2種類を設計する必要がある。このため設計に要する時間がかかるという問題がある。

【0005】さらには、図4に示した従来の回路のように出力部を構成したときには、図5に示すように同相入力信号を V_{DD} 付近①、中央付近②、 V_{SS} ③付近と区分けしたときに、 V_{DD} 付近①でロードMOSFET151および152に流れる電流値は $I_3 - I_2$ 、中央付近②で I_3 、 V_{SS} 付③で $I_3 + I_1$ となり、各領域①～③に対して、ロードMOSFET151および152に流れる電流値の変動が大きくなる。このために、出力動作点が同相入力レベルによって、図5に示すようにロードMOSFETに流れる電流量に応じて変動し、結果的に入出力特性において歪を生ずるという問題点があった。

【0006】また、カスコードMOSFET147および148に流れる電流が同相入力信号レベルに対して変動する。これが原因で、演算増幅器における伝達関数の極位置が同相信号レベルに対して変動するため、位相余裕を保つ設計のために電流値やスピードの制限を受ける等の欠点が生ずる。

【0007】また、別の従来例として、M. D. PARDOENらによって記載されたIEEE JOURNAL OF SOLID STATE CIRCUITS VOL. 25, NO. 2, APRIL 1990のレベル演算増幅器の回路例がある。しかし、この回路は、一方の差動増幅部の入力MOSFET対が急にオフすることを避けることで歪の改善を少し図っているが、本質的に問題が解決したものでない。

【0008】本発明は、直線性の優れた性能を有する同相入力信号範囲の大きな演算増幅器を提供することを目

的としている。

【0009】

【課題を解決するための手段】このような目的を達成するために、請求項1の発明は、MOSFETを用いた演算増幅器において、少なくとも入力信号を増幅する入力MOSFET対と電流源を有する第1差動増幅回路と、少なくとも入力信号を増幅する入力MOSFET対と電流源を有する第2差動増幅回路と、前記第1差動増幅回路と第2差動増幅回路の出力を合成する信号合成回路と、ロードMOSFETのゲートとドレイン間をそれぞれ接続したことを除いて前記第1差動増幅回路と同じに構成され、前記第1差動増幅回路の入力MOSFET対の電流値を測定する電流測定回路と、予め定められた電流値から前記電流測定回路の出力を差し引く引算回路とを備え、前記引算回路の出力電流値と前記第2差動増幅回路の電流源の電流値とが比例していることを特徴とする演算増幅器である。

【0010】請求項2の発明は、前記第1差動増幅回路を構成するMOSFETと第2差動増幅回路を構成するMOSFETとが同じ極性とされ、第2差動増幅回路の入力MOSFET対のゲートにレベルシフト回路を介して入力信号が入力されることを特徴とする請求項1記載の演算増幅器である。

【0011】請求項3は、前記第1差動増幅回路を構成するMOSFETと第2差動増幅回路を構成するMOSFETとが同じ極性とされ、前記第2差動増幅回路の入力MOSFET対がデブリーション型とされることを特徴とする請求項1記載の演算増幅器である。

【0012】請求項4は、前記第1差動増幅回路を構成するMOSFETと第2差動増幅回路を構成するMOSFETとが異なる極性とされたことを特徴とする請求項1記載の演算増幅器である。

【0013】

【作用】本発明の演算増幅器は、正側の電源 V_{DD} または負側の電源 V_{SS} で動作する2つの差動増幅部を有しており、電流測定回路と電流引算回路によって、これら2つの差動増幅部はいずれか一方のみだけ動作している。また、一方から他方の差動増幅部に動作が移行する際には、いきなりオン・オフするのではなく、短い区間であるが定電流源が本来の電流値から少しずつ減少してゼロになり、他方はゼロから少しずつ増加して本来の電流値に達し、これら電流値の合計はいつも一定に保たれる。すなわち、信号合成回路側のロードMOSFETに流れる電流はいつも一定であるため、入力同相信号に対して出力電圧は変化を全く受けず、入出力特性において非常に線形性能の優れた演算増幅器が提供できる。

【0014】

【実施例】以下、図面を参照して本発明の実施例を説明する。

【0015】本発明の一実施例を図1に示す。図1にお

いて、1は入力MOSFET10と11および定電流源14からなる通常用いられている第1差動増幅部で、2は第1差動増幅部1と同じ構成の差動増幅部の入力端子対にソースフォロワ構成のレベルシフト6および7の出力端子が接続しており、入力信号がレベルシフト6および7を介して差動増幅部の入力MOSFET19および20に伝達される第2差動増幅部であり、3は第1および第2差動増幅部1および2の信号を合成する信号合成回路である。4は、第1差動増幅部1とロードMOSFET対に対応する32および33のゲート・ドレイン間が接続されていることを除き、全く同じ構成を有した電流測定回路である。5は、一定のバイアス電流値から電流測定回路4のロードMOSFET対32および33を流れる電流値を差し引いた電流値を得られるような電流引算回路で、この電流引算回路5から得られた電流値と、第2差動増幅部2の入力MOSFET19および20に流れる電流値とを同じにしている。

【0016】図1に示した本発明の一実施例の動作に関して説明する。まず、同相信力信号が V_{DD} と V_{SS} の間近傍のときには、第1差動増幅部1は正常に動作する。このとき、第1差動増幅部1と同じ回路で構成された電流測定回路4において、ロードMOSFET対32および33に流れる電流の和は、MOSFET30および31が正常動作範囲内にあるため、電流源として用いられているMOSFET34を流れる電流に等しい。また、電流引算回路5のMOSFET35および36は、電流測定回路4のMOSFET32および33と電流ミラー回路を構成しているため、MOSFET35および36を流れる電流の和もまた、MOSFET34を流れる電流と等しくなる。電流引算回路5において、MOSFET38に流れる電流はMOSFET37に流れる電流からMOSFET35および36に流れる電流を引いた値になる。バイアス端子 B_1 および B_2 に印加するバイアス電圧を調整し、電流引算回路5のMOSFET37に流れる電流を電流測定回路4のMOSFET34に流れる電流と同じにしているので、MOSFET38には電流が流れなくなり、MOSFET38に対して電流ミラー回路となっているMOSFET39にも電流が流れなくなる。この結果、MOSFET40およびそれと電流ミラー回路となっている第2差動増幅部2の23にも電流が流れなくなり、第2差動増幅部2は動作しない。

【0017】次に、同相信力信号が V_{DD} 付近にあるときについて説明する。同相信力信号が V_{DD} 近傍にあるときにも、第1差動増幅部1の入力素子であるMOSFET10および11が飽和領域に入るようにバイアス端子 B_3 に印加するバイアス電圧を調整することで、第1差動増幅部1は正常に動作する。したがって、第2差動増幅部2は、前述の同相信力信号が V_{DD} と V_{SS} の間近傍のときと同様に、動作しないことになる。

【0018】同相信力信号が V_{SS} 近傍にあるときについ

5

て説明する。同相入力信号が V_{SS} 近傍にあるときには、第1差動増幅部1の入力素子であるMOSFET10および11は十分なゲート・ソース間電圧が得られないためにオフする。このとき、第1差動増幅部1と同じ回路で構成された電流測定回路4において、ロードMOSFET対32および33に流れる電流の和は、MOSFET30および31が差動増幅部1と同様オフするため、ゼロになる。また電流引算回路5のMOSFET35および36は、電流測定回路4のMOSFET32および33と電流ミラー回路を構成しているため、MOSFET35および36を流れる電流の和もまた、MOSFET34を流れる電流と同じくゼロになる。電流引算回路5において、MOSFET38に流れる電流は、MOSFET37に流れる電流からMOSFET35および36に流れる電流を引いた値になる。MOSFET37には、バイアス端子 B_2 に印加されるバイアス電圧で定まる電流が流れているので、結果として、MOSFET38に対して電流ミラー回路となっているMOSFET39にもMOSFET37と同じ電流が流れる。このため、MOSFET40およびそれと電流ミラー回路となっている第2差動増幅部2のMOSFET23にも同じ電流が流れる。ここで、第2差動増幅部2内のレベルシフト6および7の働きによって、入力信号はMOSFET19および20が正常動作するレベルまでレベルシフトされており、第2差動増幅部2は正常動作時の差動増幅部1と同じ様に正常動作を行う。

【0019】このように、本発明の演算増幅器は、正側の電源 V_{DD} または負側の電源 V_{SS} で動作する第1および第2差動増幅部1および2を有しており、電流測定回路4と電流引算回路5によって、これら2つの差動増幅部はいずれか一方のみだけ動作している。また、一方から他方の差動増幅部に動作が移行する際には、いきなりオン・オフするのでなく、短い区間であるが定電流源が本来の電流値から少しずつ減少してゼロになり、他方はゼロから少しずつ増加して本来の電流値に達し、これら電流値の合計はいつも一定に保たれる。すなわち、信号合成回路3のロードMOSFET24および25に流れる電流はいつも一定であるため、入力同相信号に対して出力電圧は変化を全く受けず、入出力特性において非常に線形性能の優れた演算増幅器が提供できる。

【0020】また、カスケードMOSFET26および27に流れる電流も同様にいつも一定であるため、カスケードMOSFETに起因する伝達関数の極位置は同相入力信号に対して変動することはなく、高速の演算増幅器を設計するうえでも好ましい。

【0021】図1に示した実施例において、電流測定回路4の差動増幅部は、第1差動増幅部1と同じであるとして説明したが、現実にはチップサイズ、消費電流を節約するために、回路構成は同じのまま、MOSFETのサイズのみを一定の比率で小さくしても良い。同様に、

6

電流引算回路5における電流ミラー回路(MOSFET35, 36, 39)も同じ理由でサイズを一定の割合で小さくして消費電流を下げるができる。また、電流ミラー回路の精度は正確ではないので、第1差動増幅部1から第2差動増幅部2に動作が切り替わる過度期間で、電流ミラー回路のミスマッチにより、電流が不十分になり両方とも動作がしないとかまたは動作が劣化するという問題が生じることもある。この問題を避けるために、第2差動増幅部2側にあらかじめ少しだけ電流が流れるように、電流引算回路5のMOSFET37の電流を多めに設定しても良い。

【0022】図1に示した実施例では、レベルシフト6および7はソースフォロウ回路を用いているが、例えばバイポーラ回路を使用したエミッタフォロウ等、入力信号が所望量だけシフト可能であれば何を用いてもよい。

【0023】また、図1に示した実施例では、NMOSFETで構成されているとして説明したが、PMOSFETの場合でも同様の手法に基づいて設計すれば同じ効果が得られるのは明らかである。

【0024】レベルシフト6および7を用いない構成とすることもできる。図1に示す実施例において、第2差動増幅部2の入力MOSFET対19および20の入力が V_{SS} のときでも動作が可能になるように、デプリーション型のNMOSFETを入力MOSFETとして使用する。この様な構成では、レベルシフトがなくても、図1の示した実施例と同様に動作することは明らかである。

【0025】図2に本発明の他の実施例を示す。図2において、41は入力MOSFET50と51および定電流源54からなる通常用いられている第1差動増幅部で、42は第1差動増幅部1と極性の異なるMOSFET、この例ではPMOSFET55および56を入力MOSFETとして用いた第2差動増幅部であり、43は第1および第2差動増幅部41および42の信号を合成する信号合成回路である。44は、第1差動増幅部41と、ロードMOSFET対72および73のゲート・ドレイン間が接続されていることを除き、全く同じ構成を有した電流測定回路、45は一定のバイアス電流値から電流測定回路のロードMOSFET対75および76を流れる電流値を差し引いた電流値を得られるような電流引算回路で、この電流引算回路45から得られた電流値と、第2差動増幅部42の入力MOSFET55および56に流れる電流値とを同じにして使用している。

【0026】図2に示した実施例の動作に関して説明する。まず、同相入力信号が V_{DD} と V_{SS} の中間近傍のときには、第1差動増幅部41は正常に動作する。この時、第1差動増幅部41と同じ回路で構成された電流測定回路44において、ロードMOSFET対72および73に流れる電流の和は、MOSFET70および71が正常動作範囲内にあるため、電流源として用いられている

MOSFET 74を流れる電流に等しい。電流引算回路45において、MOSFET 75および76は、電流測定回路44のMOSFET 72および73と電流ミラー回路を構成しているため、MOSFET 75および76を流れる電流の和もまた、電流測定回路44のMOSFET 74を流れる電流と等しくなる。ここで、MOSFET 78に流れる電流は、MOSFET 77に流れる電流からMOSFET 75および76に流れる電流を引いた値になる。バイアス端子B₁およびB₂に印加するバイアス電圧を調整し、MOSFET 77に流れる電流と電流測定回路44のMOSFET 74に流れる電流とを同じにすると、MOSFET 78には電流が流れない。このため、MOSFET 78に対して電流ミラー回路となっている第2差動増幅部42のMOSFET 59にも電流が流れなくなり、この結果、第2差動増幅部42は動作しない。

【0027】次に、同相入力信号がV_{DD}付近にあるときについて説明する。同相入力信号がV_{DD}近傍にあるときにも、入力素子であるMOSFET 50および51が飽和領域に入るようにバイアス端子B₃に印加するバイアス電圧を調整することで、第1差動増幅部41は正常に動作する。したがって第2差動増幅部42は、先ほどと同様に動作しないことになる。

【0028】同相入力信号がV_{SS}付近にあるときについて説明する。同相入力信号がV_{SS}近傍にあるときには、第1差動増幅部41の入力素子であるMOSFET 50および51は、十分なゲート・ソース間電圧が得られないためにオフする。このとき、第1差動増幅部41と同じに構成された電流測定回路44において、ロードMOSFET 72および73に流れる電流の和は、MOSFET 70および71が、第1差動増幅部41と同様オフするためゼロになる。また、電流引算回路45において、MOSFET 75および76はMOSFET 72および73と電流ミラー回路を構成しているため、MOSFET 75および76を流れる電流の和もまたMOSFET 74を流れる電流と同じくゼロになる。ここで、MOSFET 78に流れる電流は、MOSFET 77に流れる電流からMOSFET 75および76に流れる電流を引いた値になる。ここで、MOSFET 77にはバイアス端子B₂に印加された電圧で定まる電流が流れているので、MOSFET 78にもMOSFET 77に流れる電流と同じ値の電流が流れる。結果として、MOSFET 78に対して電流ミラー回路となっている第2差動増幅部のMOSFET 59にもMOSFET 77と同じ値の電流が流れる。第2差動増幅部42は、入力MOSFETがPMOSFETであるのでV_{SS}近傍の信号でも正常に動作することが可能であるので、正常動作時の第1差動増幅部41と全く同じ動作をする。すなわち図2の回路も図1と同じ結果が得られる。

【0029】本発明の演算増幅器を用いるときに、演算

増幅回路に対してさらに性能を上げるために、図3に示すように、出力増幅回路を追加するなどしてもよい。

【0030】図3において、123は第1差動増幅部、124は第2差動増幅部、125は第1および第2差動増幅部123および124の信号を合成する信号合成回路、126は電流測定回路、127は電流引算回路、そして128および129はレベルシフタである。これらの回路の構成、動作は図1に示した演算増幅器と同じであるので、説明を省略する。118は出力増幅回路で、信号合成回路125の出力に接続されている。

【0031】さて、出力増幅回路118は、電流源119およびMOSFET 120で構成されている。この出力増幅回路118において、抵抗121およびコンデンサ122は、位相余裕を十分保つために挿入されている。出力増幅回路118を付加することにより、出力信号の増幅と出力電流能力を向上させることができる。

【0032】

【発明の効果】このように本発明の演算増幅器は、一方の演算増幅器と全く同じ構成をした電流測定回路と電流引算回路により、同相信号範囲が負側電源から正側の電源までとなり、かつ歪が非常に少ない線形な特性を有する演算増幅器を提供できる。

【0033】さらに、同相入力信号範囲に関係なく、演算増幅器の伝達関数の極位置が一定となるため、高速な回路設計が可能になるという特徴がある。

【図面の簡単な説明】

【図1】本発明の実施例である演算増幅器の回路図である。

【図2】本発明の他の実施例である演算増幅器の回路図である。

【図3】出力増幅回路を付加した本発明の演算増幅器の回路図である。

【図4】従来の演算増幅器の回路図である。

【図5】従来の演算増幅器の入出力特性を示したグラフである。

【符号の説明】

- 1 第1差動増幅部
- 2 第1差動増幅部
- 3 信号合成回路
- 4 電流測定回路
- 5 電流引算回路
- 6, 7 レベルシフタ
- 41 第1差動増幅部
- 42 第2差動増幅部
- 43 信号合成回路
- 44 電流測定回路
- 45 電流引算回路
- 118 出力増幅回路
- 123 第1差動増幅部
- 124 第2差動増幅部

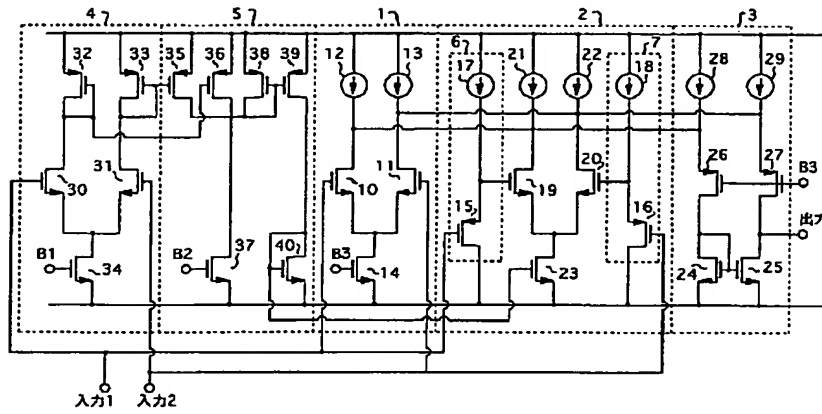
9

10

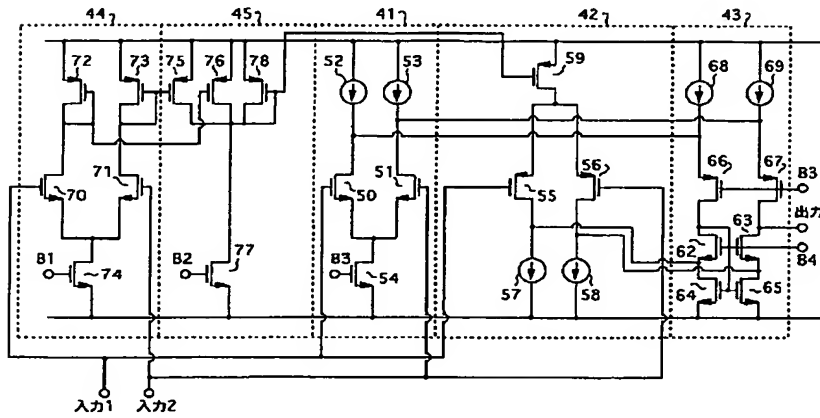
125 信号合成回路
 126 電流測定回路
 127 電流引算回路
 128, 129 レベルシフタ

131 第1差動増幅部
 132 第2差動増幅部
 133 信号合成回路

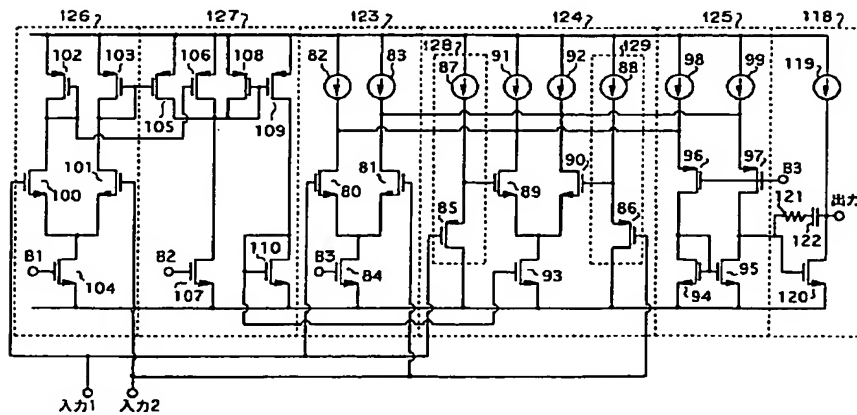
【図1】



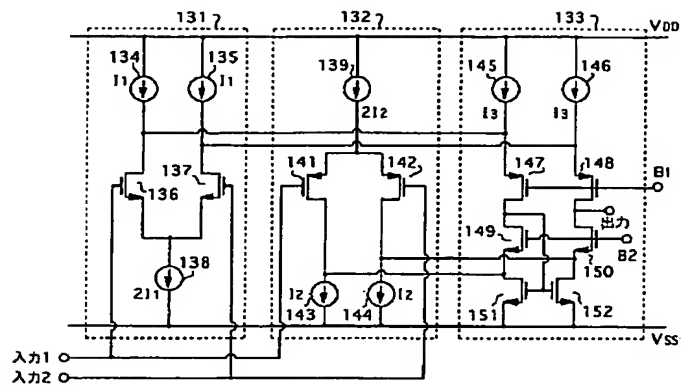
【図2】



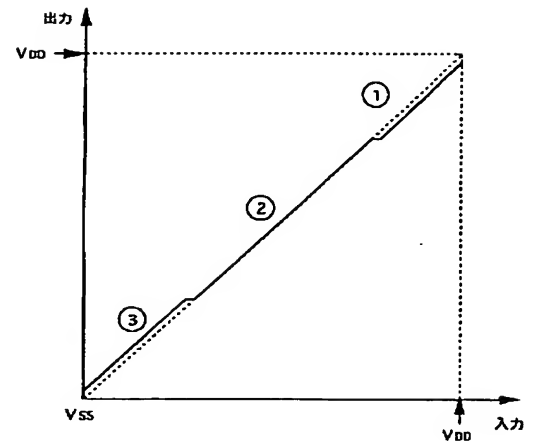
【図3】



【図 4】



【図 5】



**This Page is Inserted by IFW Indexing and Scanning
Operations and is not part of the Official Record**

BEST AVAILABLE IMAGES

Defective images within this document are accurate representations of the original documents submitted by the applicant.

Defects in the images include but are not limited to the items checked:

- ☐ BLACK BORDERS
- ☐ IMAGE CUT OFF AT TOP, BOTTOM OR SIDES
- ☒ FADED TEXT OR DRAWING
- ☐ BLURRED OR ILLEGIBLE TEXT OR DRAWING
- ☐ SKEWED/SLANTED IMAGES
- ☐ COLOR OR BLACK AND WHITE PHOTOGRAPHS
- ☐ GRAY SCALE DOCUMENTS
- ☐ LINES OR MARKS ON ORIGINAL DOCUMENT
- ☐ REFERENCE(S) OR EXHIBIT(S) SUBMITTED ARE POOR QUALITY
- ☐ OTHER: _____

IMAGES ARE BEST AVAILABLE COPY.

As rescanning these documents will not correct the image problems checked, please do not report these problems to the IFW Image Problem Mailbox.